



862.C2078

PATENT APPLICATION

2622

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
YUKIYOSHI HIKICHI )  
Application No.: 09/745,480 )  
Filed: December 26, 2000 )  
For: IMAGE PROCESSING )  
APPARATUS, CONTROL METHOD: )  
THEREFOR, AND IMAGE )  
PROCESSING SYSTEM : May 10, 2001

Examiner: NYA

Group Art Unit: 2622

RECEIVED

MAY 16 2001

Technology Center 2600

Commissioner for Patents  
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicant hereby claims priority under the  
International Convention and all rights to which he is entitled  
under 35 U.S.C. § 119 based upon the following Japanese Priority  
Application:

11-371414 filed December 27, 1999

A certified copy of the priority document is  
enclosed.

Applicant's undersigned attorney may be reached in

our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
Attorney for Applicant

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200



9/745.480

862.C2078

(translation of the front page of the priority document of  
Japanese Patent Application No. 11-371414)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the  
following application as filed with this Office.

Date of Application: December 27, 1999

Application Number : Patent Application 11-371414

Applicant(s) : Canon Kabushiki Kaisha

January 19, 2001

Commissioner,  
Patent Office

Kouzo OIKAWA

RECEIVED

MAY 16 2001

Technology Center 2600

Certification Number 2000-3114280



CFM 207805

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 1 2 月 2 7 日

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 3 7 1 4 1 4 号

出 願 人  
Applicant (s):

キヤノン株式会社

RECEIVED

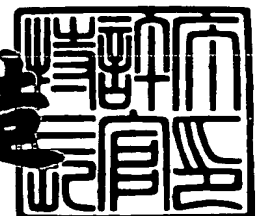
MAY 1 6 2001

Technology Center 2600

2 0 0 1 年 1 月 1 9 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 1 1 4 2 8 0

【書類名】 特許願

【整理番号】 3974004

【提出日】 平成11年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06K 15/00

【発明の名称】 画像処理装置及びその制御方法、及び画像処理システム

【請求項の数】 17

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 引地 幸吉

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100076428

    【弁理士】

    【氏名又は名称】 大塚 康德

    【電話番号】 03-5276-3241

【選任した代理人】

    【識別番号】 100101306

    【弁理士】

    【氏名又は名称】 丸山 幸雄

    【電話番号】 03-5276-3241

【手数料の表示】

    【予納台帳番号】 003458

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704672

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及びその制御方法、及び画像処理システム

【特許請求の範囲】

【請求項 1】 画像データを入力してメモリに格納するデータ入力手段と、前記メモリに格納された画像データに対して所定のコードを付加する付加手段と、

前記データ入力手段と前記付加手段による前記メモリに対するアクセスを制御する制御手段と、を有し、

前記制御手段は、前記データ入力手段と前記付加手段がほぼ同時に実行されるように制御することを特徴とする画像処理装置。

【請求項 2】 前記制御手段は、前記データ入力手段及び前記メモリ、及び前記付加手段を含む複数の構成の接続及び切り替え、及び同時実行を任意に制御可能とすることを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記制御手段は、前記データ入力手段と前記付加手段が前記メモリに同時にアクセスした場合、いずれかを停止させるか、又は時分割で交互に動作させるように制御することを特徴とする請求項 2 記載の画像処理装置。

【請求項 4】 前記制御手段は、前記データ入力手段による入力画像データのライン数と前記付加手段による処理済みライン数との差が所定ライン数に達しない間は、該データ入力手段を動作させることを特徴とする請求項 3 記載の画像処理装置。

【請求項 5】 前記所定ライン数は、前記付加手段において前記所定コードの付加に要するライン数であることを特徴とする請求項 4 記載の画像処理装置。

【請求項 6】 前記制御手段は、前記複数の構成の動作状況に応じて、前記メモリにおける使用可能サイズを動的に変更することを特徴とする請求項 2 記載の画像処理装置。

【請求項 7】 前記所定のコードは、該装置に固有のコードであることを特徴とする請求項 1 記載の画像処理装置。

【請求項 8】 前記付加手段は、前記所定のコードをイエロー色で付加することを特徴とする請求項 7 記載の画像処理装置。

【請求項 9】 前記データ入力手段は、スキャナによって読み込まれた画像データをを入力することを特徴とする請求項 1 記載の画像処理装置。

【請求項 10】 更に、前記メモリに格納された、前記所定のコードが付加された画像データに基づいて画像を形成する画像形成手段を有し、

前記制御手段は、該画像形成手段による前記メモリに対するアクセスも制御することを特徴とする請求項 2 記載の画像処理装置。

【請求項 11】 画像データを入力する画像入力装置と、  
該画像データを保持するメモリ装置と、  
該メモリ装置に保持された画像データに対して所定のコードを付加する画像処理装置と、

前記画像入力装置と前記画像処理装置による前記メモリ装置に対するアクセスを制御する制御装置と、を有し、

前記制御装置は、前記画像入力装置と前記画像処理装置がほぼ同時に動作するように制御することを特徴とする画像処理システム。

【請求項 12】 更に、前記メモリ装置に保持された、前記所定のコードが付加された画像データに基づいて画像を形成する画像出力装置を有し、

前記制御装置は、該画像形成装置による前記メモリ装置に対するアクセスも制御することを特徴とする請求項 11 記載の画像処理システム。

【請求項 13】 画像データを入力するデータ入力手段と、画像データに対して所定のコードを付加する付加手段と、前記画像データを保持するメモリと、前記データ入力手段及び前記付加手段を含む複数の構成からの前記メモリへのアクセスを制御する制御手段と、を有する画像処理装置における制御方法であって、

前記データ入力手段により入力された画像データを前記メモリに格納するデータ入力工程と、

前記メモリに格納された画像データに対して前記付加手段により前記所定のコードを付加する付加工程と、を有し、

前記データ入力工程と前記付加工程とは、前記制御手段によってほぼ同時に実行されることを特徴とする画像処理装置の制御方法。



【請求項 1 4】 画像データを入力するデータ入力手段と、画像データに対して所定のコードを付加する付加手段と、前記画像データを保持するメモリと、前記データ入力手段及び前記付加手段を含む複数の構成からの前記メモリへのアクセスを制御する制御手段と、を有する画像処理装置における制御プログラムを記録した記録媒体であって、該制御プログラムは少なくとも、

前記データ入力手段により入力された画像データを前記メモリに格納するデータ入力工程のコードと、

前記メモリに格納された画像データに対して前記付加手段により前記所定のコードを付加する付加工程のコードと、を有し、

前記データ入力工程と前記付加工程とは、前記制御手段によってほぼ同時に実行されることを特徴とする記録媒体。

【請求項 1 5】 画像データを入力してメモリに格納するデータ入力手段と、

前記メモリに格納された画像データに対して所定のコードを付加する付加手段と、

前記データ入力手段と前記付加手段による前記メモリに対するアクセスを制御する制御手段と、を有し、

前記制御手段は、前記データ入力手段と前記付加手段が平行して動作するように制御することを特徴とする画像処理装置。

【請求項 1 6】 画像データを入力する画像入力装置と、

該画像データを保持するメモリ装置と、

該メモリ装置に保持された画像データに対して所定のコードを付加する画像処理装置と、

前記画像入力装置と前記画像処理装置による前記メモリ装置に対するアクセスを制御する制御装置と、を有し、

前記制御装置は、前記画像入力装置と前記画像処理装置が平行して動作するように制御することを特徴とする画像処理システム。

【請求項 1 7】 画像データを入力するデータ入力手段と、画像データに対して所定のコードを付加する付加手段と、前記画像データを保持するメモリと、

前記データ入力手段及び前記付加手段を含む複数の構成からの前記メモリへのアクセスを制御する制御手段と、を有する画像処理装置における制御方法であって

前記データ入力手段により入力された画像データを前記メモリに格納するデータ入力工程と、

前記メモリに格納された画像データに対して前記付加手段により前記所定のコードを付加する付加工程と、を有し、

前記データ入力工程と前記付加工程とは、前記制御手段によって平行に動作することを特徴とする画像処理装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像処理装置及びその制御方法、及び画像処理システムに関し、例えば、画像データに対して特定情報を付加する画像処理装置及びその制御方法、及び画像処理システムに関する。

【0002】

【従来の技術】

従来、スキャナなどの画像入力装置と、プリンタなどの画像出力装置を組み合わせた画像処理装置として、複写機やファクシミリ装置等が実用化されている。

【0003】

こういった画像処理装置、特にカラー複写機においては、複写生成物の悪用を防止するため、例えば特開平 6 - 1 1 1 0 1 9 号に開示されているように、複写画像に識別符号（例えば機材番号）等のアドオンデータを付加することが提案されている。ここでアドオンデータとしては、薄いイエロー等、人間の目に認識しにくい色が使用される。

【0004】

【発明が解決しようとする課題】

上記従来の画像処理装置においては、画像入力部から送られてくる画像データをアドオン処理部へ渡すためのメモリモジュールと、該アドオン処理部からそれ

以降の処理部へ渡すためのメモリモジュールと、を個別に備える必要があった。このため、同じメモリモジュールを共有することはできず、コスト高を招くという問題があった。

【 0 0 0 5 】

また、これらメモリモジュールはアドオン専用である為に、その容量は固定であり、柔軟な変更ができないという問題があった。

【 0 0 0 6 】

本発明は上記第一の問題に鑑みてなされたものであり、同一メモリモジュールで複数処理を可能とする画像処理装置及びその制御方法、及び画像処理システムを提供することを目的とする。

【 0 0 0 7 】

また、本発明は上記第二の問題に鑑みてなされたものであり、使用可能とするメモリサイズを柔軟に変更可能な画像処理装置及びその制御方法、及び画像処理システムを提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

上記の問題点を解決するための一手段として、本発明の画像処理装置は以下の構成を備える。

【 0 0 0 9 】

即ち、画像データを入力してメモリに格納するデータ入力手段と、前記メモリに格納された画像データに対して所定のコードを付加する付加手段と、前記データ入力手段と前記付加手段による前記メモリに対するアクセスを制御する制御手段と、を有し、前記制御手段は、前記データ入力手段と前記付加手段がほぼ同時に実行されるように制御することを特徴とする。

【 0 0 1 0 】

例えば、前記制御手段は、前記データ入力手段及び前記メモリ、及び前記付加手段を含む複数の構成の接続及び切り替え、及び同時実行を任意に制御可能とすることを特徴とする。

【 0 0 1 1 】

例えば、前記制御手段は、前記データ入力手段と前記付加手段が前記メモリに同時にアクセスした場合、いずれかを停止させるか、又は時分割で交互に動作させるように制御することを特徴とする。

【0012】

【発明の実施の形態】

以下、本発明に係る一実施形態について、図面を参照して詳細に説明する。

【0013】

<第1実施形態>

まず、本実施形態で使用される、複数機能を同時処理可能なハードウェアとして、プロセッサコア、プロセッサ周辺コントローラ、メモリコントローラ、スキャナ/プリンタコントローラ、PCIインターフェース等を内蔵した、シングルチップ・スキャニング・プリンティングエンジンである“DoEngine”について説明する。

【0014】

尚、この複数同時処理を可能とするDoEngineの詳細については、本出願人により特開平11-45225として提案されているが、ここではその概要について説明する。

【0015】

DoEngineは、MIPSテクノロジー社のR4000プロセッサとコンパチブルなプロセッサコア、プロセッサ周辺コントローラ、メモリコントローラ、スキャナ/プリンタコントローラ、PCIインターフェースなどを内蔵したシングルチップ・スキャニング・プリンティングエンジンである。高速並列動作、ビルディングブロック手法を採用して実装される。

【0016】

プロセッサシェル（プロセッサコアを含むプロセッサ周辺回路の総称）内には、最大でインストラクション、データそれぞれ16Kバイトの計32Kバイトのキャッシュメモリ、FPU（浮動小数点演算ユニット）、MMU（メモリ管理ユニット）、ユーザ定義可能なコプロセッサ、等を内蔵することが可能である。

【0017】

Do Engine は P C I バスインタフェースを有するので、P C I バススロットを有するコンピュータシステムと共に用いることができる。また、P C I サテライト構成に加え、P C I ホストバスブリッジ構成にて P C I バスコンフィギュレーションを発行することが可能であり、安価な P C I 周辺デバイスと組み合わせることにより、マルチファンクションペリフェラル（複合機能周辺機器）のメインエンジンとして使用することも可能である。さらに P C I バスインタフェースを有するレンダリングエンジン、圧縮・伸長エンジンと組み合わせることも可能である。

## 【 0 0 1 8 】

また、チップ内部に汎用 I O コアを接続する I O バス、及び、画像データ転送に最適化したグラフィックバス（Gバス：Graphics Bus）の 2 系統の独立したバスを有し、メモリ、プロセッサとこれらのバスをクロスバススイッチを介して接続することにより、マルチファンクションシステムにおける同時動作に必須となる、並列性の高い高速データ転送を実現している。

## 【 0 0 1 9 】

メモリには、画像データに代表される連続したデータ列のアクセスに対し、最高のコストパフォーマンスを有するシンクロナス D R A M （S D R A M）をサポートし、S D R A M のバーストアクセス高速データ転送のメリットを享受できない小さなデータ単位でのランダムアクセスにおける性能低下を最小に抑えるために、8 K バイトの 2 ウェイセットアソシアティブ・メモリフロントキャッシュをメモリコントローラ内に備える。メモリフロントキャッシュは、すべてのメモリライトに対するバススヌープが難しい、クロスバススイッチを採用したシステム構成においても、複雑な機構なしにキャッシュメモリによる高性能化が達成できる方式である。

## 【 0 0 2 0 】

また、リアルタイムデータ転送（機器制御）が可能な、プリンタ部及びスキャナ部とのデータインタフェース（Video Interface）を有し、さらにハードウェアによる、機器間同期のサポート及び画像処理を行う事により、スキャナ、プリンタ分離型の構成においても、高品質で高速なコピー動作の実現が可能な構成とな

っている。

【 0 0 2 1 】

なお、Do Engine は、コアが 3. 3 V で動作し、I O は 5 V トレラントである。

【 0 0 2 2 】

図 1 及び図 2、図 3 は、Do Engine を用いた装置あるいはシステムの概要構成例を示す図である。

【 0 0 2 3 】

図 1 は分離構成型を示し、パーソナルコンピュータ（以下、PC）1 0 2 には、その P C I インターフェースを介して、Do Engine を備えたローカルボード 1 0 1 が装着される。ローカルボード 1 0 1 には Do Engine のほか、後述するメモリバスを介して Do Engine と接続されたメモリと、色処理回路（チップ）が設けられている。このローカルボード 1 0 1 を介して、高速スキャナ 1 0 3 とカラー／モノクロプリンタ 1 0 4 とが PC 1 0 2 に接続される。この構成により、PC 1 0 2 の制御のもとで、ローカルボード 1 0 1 により、スキャナ 1 0 3 から入力された画像情報を処理し、プリンタ 1 0 4 から出力させることができる。

【 0 0 2 4 】

また、図 2 及び図 3 は、スキャナとプリンタを一体に組み込んだ構成例を示す。

【 0 0 2 5 】

図 2 は、通常の複写機に類する概要構成 2 0 4 を示し、プリンタエンジン 2 0 2 とスキャナ 2 0 3 が、Do Engine 2 0 1 によって制御される。

【 0 0 2 6 】

図 3 （a）はファクシミリ装置等の概要構成を示し、図 3 （b）は、図 3 （a）に示す構成をコントロール可能なコンピュータを示している。また、図 3 （c）は、これら図 3 （a），（b）に示す構成における機能ブロック構成を示す図である。

【 0 0 2 7 】

これら各構成のうち、図1及び図2は、PCIインタフェースを介して接続された外部のCPUによりDoEngineが制御されるという、スレーブモードで使用されている構成例を示している。一方、図3は、DoEngine内のCPUが主体となり、PCIインタフェースを介して接続されたデバイスを制御する、マスタモードで使用されている構成例を示している。

## 【0028】

ここで表1として、DoEngineの仕様を示す。外部インターフェースとして、PCI、メモリバス、ビデオ、汎用入出力、IEEE1284、RS232C、100baseT/10baseT、LCDパネル及びキーを備えるが、更にUSBを有していてもよい。内蔵ブロックとして、CPUコアに加えて、1次キャッシュ、キャッシュ付きメモリコントローラ、コピーエンジン、IOバスアービタ、グラフィックバスアービタ等を備えている。また、DMAコントローラはチャンネル数が5であり、グラフィックバス、IOバスともにアービトレーションは、優先度付きの先着順処理方式で行われる。

## 【0029】

【表 1】

項 目	概 要	スベック
チップ	動作周波数 パッケージ 外部インターフェース	内部100MHz、内部バス及びメモリバス 100MHz 313 ピン BGA PCI メモリバス ビデオ 汎用入出力 IEEE1284 RS232C (USB) LAN 100/10 baseT LCD パネル & キー
	内蔵ブロック	CPU コア 1 次 キャッシュ MMU ICU システムバスブリッジ キャッシュ付メモリコントローラ COPY エンジン PLL 電源制御ユニット IO バス アービタ グラフィックバスアービタ
DMA コントローラ	チャンネル数	2 チャンネル
	最大転送速度 (ピーク)	200M byte/Sec @ 50MHz
	転送可能経路	内部出力ブロック ↔ ローカルメモリ
メモリ及びバス 制御	サポートメモリ	SDRAM
	データ幅	64 ビット
	最大メモリ容量	1Gbyte
	最大メモリバス転送速度	682M byte/Sec
グラフィックバス	アービトレーション方式	優先度付先着値処理
	最大バス転送速度	800M byte/Sec
	バス幅	64Bit, 100MHz
PCI バス	PCI バス形式	Rev2.1, 32Bit, 33M PCI
	マスター時転送速度	Read 96MByte/Sec, Write 88MByte/Sec
	スレーブ時転送速度	Read 101MByte/Sec, Write 111MByte/Sec
IO バス	アービトレーション方式	優先度付先着値処理
	最大バス転送速度	200M byte/Sec
	バス幅	32Bit, 50MHz

【 0 0 3 0 】

以下、Do Engine のチップ構成について説明する。



## 【0031】

図4に、DoEngineのブロック構成を示す。同図に示すDoEngine 400は、次世代複合機能周辺機器（システム）（MFP: Multi Function Peripheral or MFS: Multi Function System）の主たるコントローラとして設計、開発されたものである。

## 【0032】

CPU（プロセッサコア）401として、MIPSテクノロジー社のMIPS R4000コアを採用する。プロセッサコア401内には、8Kバイトずつのインストラクション、データのキャッシュメモリ、MMUなどが実装される。プロセッサコア401は、64ビットのプロセッサバス（Pバス）を介して、システム・バス・ブリッジ（SBB）402に接続される。

## 【0033】

SBB402は4×4の64ビットクロスバススイッチであり、プロセッサコア401の他に、キャッシュメモリを備えたSDRAMやROMを制御するメモリコントローラ403と専用のローカルバス（MCバス）で接続されており、さらに、グラフィックバスであるGバス404、IOバスであるIOバス405と接続され、全部で4つのバスに接続される。SBB402は、これら4モジュール間を、可能な限り、同時並行接続を確保することができるよう設計されている。

## 【0034】

Gバス404は、Gバスアービタ（GBA）406により協調制御されており、スキャナやプリンタと接続するためのスキャナ／プリンタコントローラ（SPC）408に接続される。また、IOバス405は、IOバスアービタ（BBA）407により協調制御されており、SPC408のほか、電力管理ユニット（PMU）409、インタラプトコントローラ（IC）410、UARTを用いたシリアルインタフェースコントローラ（SIC）411、USBコントローラ412、IEEE1284を用いたパラレルインターフェースコントローラ（PIC）413、イーサネットを用いたLANコントローラ（LANC）414、LCDパネル、キー、汎用入出力コントローラ（PC）415、PCIバスインタ

フェース ( P C I C ) 4 1 6 にも接続されている。

【 0 0 3 5 】

以上が、D o E n g i n e についての概要である。

【 0 0 3 6 】

本実施形態においては、スキャン処理及びアドオン処理を含む画像処理を、D o E n g i n e を使用して実現することを特徴とする。

【 0 0 3 7 】

以下、本実施形態におけるスキャン処理及びアドオン処理について説明する。

図 5 に、本実施形態の画像処理装置において、スキャン処理及びアドオン処理を実現する機能ブロック構成を示す。同図において、スキャン処理部 5 0 1 より入力された画像データは、D o E n g i n e 5 0 3 を介してメモリ 5 0 5 に格納される。アドオン処理部 5 0 4 においては D o E n g i n e 5 0 3 を介して、メモリ 5 0 5 に保持された画像データに対して薄いイエロードットで機材番号を付加するアドオン処理を施した後、再度メモリ 5 0 5 に格納する。そして、1 ページ分の画像データに対してアドオン処理が終了したら、該ページ分の画像データは D o E n g i n e 5 0 3 を介してプリント部 5 0 2 へ転送され、印刷出力される。

【 0 0 3 8 】

本実施形態においては、スキャンデータをメモリ 5 0 5 に格納するスキャン処理部 5 0 1 と、メモリ 5 0 5 に格納されたデータに対してアドオン処理を行うアドオン処理部 5 0 4 とを、同時に ( 並列に ) 実行することを特徴とする。

【 0 0 3 9 】

図 6 及び図 7 は、スキャン処理部 5 0 1 とアドオン処理部 5 0 4 を同時に実行する際の動作を示すフローチャートであり、即ち、D o E n g i n e 5 0 3 によって制御される。尚、それぞれの処理部においてはメモリ 5 0 5 を共通に使用するが、そのアクセスするアドレスが互いに異なる。それぞれの処理部が同時にメモリ 5 0 5 をアクセスした場合、D o E n g i n e 5 0 3 の有するバス調停機能によって、どちらかを停止させるか、または時分割でお互いを交互に動作させる。この調停は D o E n g i n e 5 0 3 によってハードウェア的に行われるため、

ソフトウェア側で意識する必要は無い。

【 0 0 4 0 】

図 6 は、スキャン処理部 5 0 1 におけるスキャンデータ読み込み処理を示すフローチャートである。スキャン処理部 5 0 1 はまず、スキャン終了ラインカウンタを 0 で初期化する（ステップ S 6 0 1）。次にスキャナからのビデオ信号を入力し、1 または複数ライン分のスキャンデータをメモリ 5 0 5 に格納する（ステップ S 6 0 2）。そしてスキャン終了ラインカウンタを、処理したライン数分加算する（ステップ S 6 0 3）。上記ステップ S 6 0 2 ～ S 6 0 3 を、1 ページ分のスキャンが終了するまで繰り返す（ステップ S 6 0 4）。

【 0 0 4 1 】

図 7 は、アドオン処理部 5 0 4 におけるアドオン処理を示すフローチャートである。アドオン処理部 5 0 4 はまず、アドオン済みラインカウンタを 0 で初期化する（ステップ S 7 0 1）。次に、上述したスキャン終了ラインカウンタとアドオン済みラインカウンタの示す値の差が、アドオン処理を行う単位ライン数よりも少ない場合には、スキャンが進むのを待つ（ステップ S 7 0 2）。

【 0 0 4 2 】

ここで単位ライン数とは、一つのアドオンデータを記憶するのに必要となる副走査方向のライン数である。例えば、一ラインに 4 ビットの情報を埋め込む場合で 1 つのアドオンデータに 3 2 ビットを使用するとき、8 ラインが単位ライン数となる。

【 0 0 4 3 】

続いて、スキャンが終了した範囲内を検索し、アドオンコードと誤認識する可能性のあるイエロードットデータを除去する（ステップ S 7 0 3）。そして、機材番号等のアドオンコードをイエロードットデータとして付加し（ステップ S 7 0 4）、アドオン済みラインカウンタを処理ライン数分加算する（ステップ S 7 0 5）。上記ステップ S 7 0 2 ～ S 7 0 5 を、1 ページ分のアドオン処理が終了するまで繰り返す（ステップ S 7 0 6）。

【 0 0 4 4 】

以上説明したように本実施形態によれば、CPU、メモリモジュール、スキャ

ナ、プリンタ等の複数の処理機能を備える画像処理装置において、各処理機能を任意に接続切り替え可能、かつ同時処理可能なDoEngineを備えることにより、同一のメモリモジュールを使用してスキャン処理とアドオン処理とをほとんど同時に終えることができる。従って、スキャン処理とアドオン処理とにそれぞれ専用のメモリモジュールを備えることなく、装置全体としてのスループットを上げることが可能となる。

【0045】

# <変形例>

第1実施形態で説明した複数機能同時処理可能なハードウェア（DoEngine）とスキャン処理部、及びアドオン処理部を備える画像処理装置において、1ページ分のメモリを各処理専用に備えることができない場合が考えられる。

【0046】

このような場合でも本実施形態によれば、例えばファクシミリ装置において、スキャンデータの格納、アドオン処理、FAXデータ蓄積、及びその他の処理に対して、同一のメモリモジュールを使用することができる。尚この時、できる限り大容量のメモリを割り当てた方が処理効率が良くなる。

【0047】

一般にファクシミリ装置において、スキャン処理及びアドオン処理の開始時に、モデムを介して受信した画像データを装置内のメモリに蓄積していたとしても、該メモリに蓄積された画像データは、ハードディスクに保存、または印刷出力終了後には消去される。

【0048】

従って、DoEngineの制御に基づき、1ページの処理を開始するに先立って現在のメモリ空き容量を確認し、その空き容量に応じて、スキャン及びアドオン処理に使用するメモリサイズを決定することができる。例えば画像データの受信中である場合には、スキャン及びアドオン処理に使用するメモリを128ライン分とし、受信していないときには1024ライン分を使用するように、使用可能なメモリサイズを動的に変更することができる。

【0049】

このように、たとえ小容量のメモリモジュールしか使用できない場合であっても、各処理で使用するメモリサイズを該メモリモジュール内で動的に変更することで、他の処理において使用可能なサイズを増やし、複数の機能をリアルタイムに実行することができる。従って、ハードウェアリソースを最大限に利用し、その性能を最大限に引き出すことが可能となる。

【0050】

尚、本実施形態においてはスキャン処理及びアドオン処理をDoEngineを用いて同時に実行する例について説明したが、もちろん、アドオン対象となるのはスキャンデータに限らず、接続されたコンピュータから送信されてきた画像データや、ファクシミリ受信データに対してアドオンを行う場合にも、本発明は適用可能である。

【0051】

また、本実施形態ではイエロー色によるアドオンを行う例について説明したが、アドオンの方法については限定されない。

【0052】

<他の実施形態>

なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0053】

また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（または記録媒体）を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。また、コンピュータが読み出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上

で稼働しているオペレーティングシステム(OS)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0054】

さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0055】

本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明した図6、図7に示すフローチャートに対応するプログラムコードが格納されることになる。

【0056】

本実施形態ではメモリに対するデータ入力と、メモリに対する所定のコードの付加とがほぼ同時に実行されるようにしたが、本発明はこの例に限らず、前記データ入力と前記付加とが平行して動作するような場合も本発明に含まれる。

【0057】

【発明の効果】

以上説明したように本発明によれば、同一メモリモジュールで複数処理が可能となる。また、使用するメモリサイズを動的に変更することが可能となる。

【0058】

従って、装置全体の性能を最大限に引き出し、全体としてのスループットの向上が図られる。

【図面の簡単な説明】

【図1】

Do Engine を用いた装置あるいはシステムの構成例の図である。

【図2】

D o E n g i n e を用いた装置あるいはシステムの構成例の図である。

【図 3】

D o E n g i n e を用いた装置あるいはシステムの構成例の図である。

【図 4】

D o E n g i n e のブロック図である。

【図 5】

スキャン処理及びアドオン処理を実現する構成を示すブロック図である。

【図 6】

スキャンデータ読み込み処理を示すフローチャートである。

【図 7】

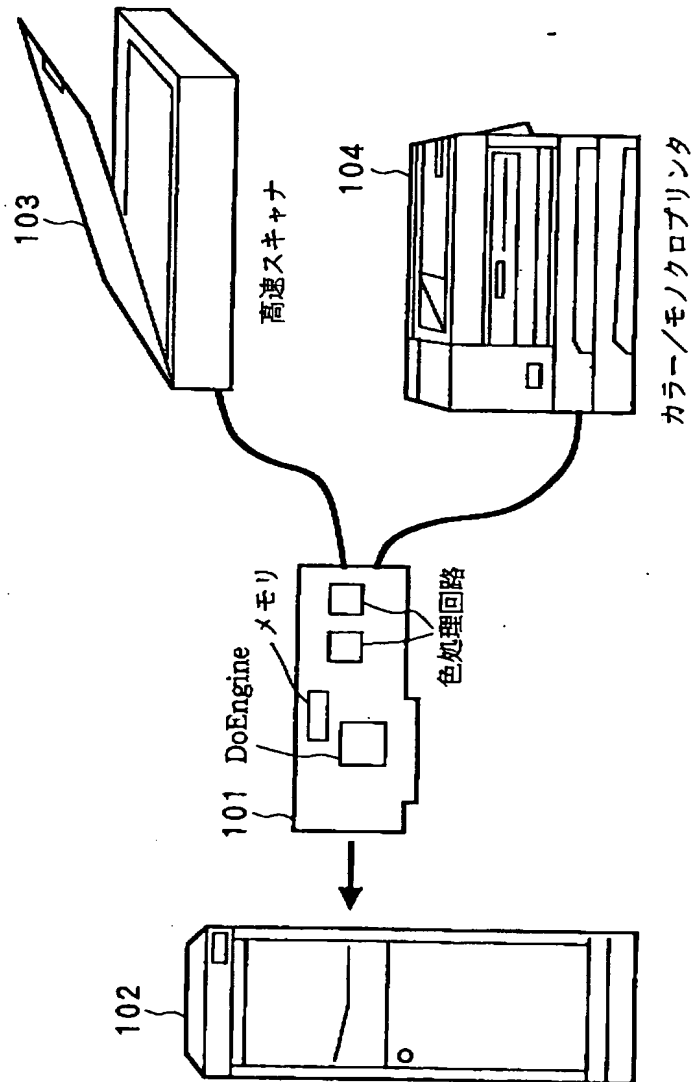
機材番号付加アドオン処理を示すフローチャートである。

【符号の説明】

- 5 0 1    スキャン処理部
- 5 0 2    プリント処理部
- 5 0 3    D o E n g i n e
- 5 0 4    アドオン処理部
- 5 0 5    メモリ

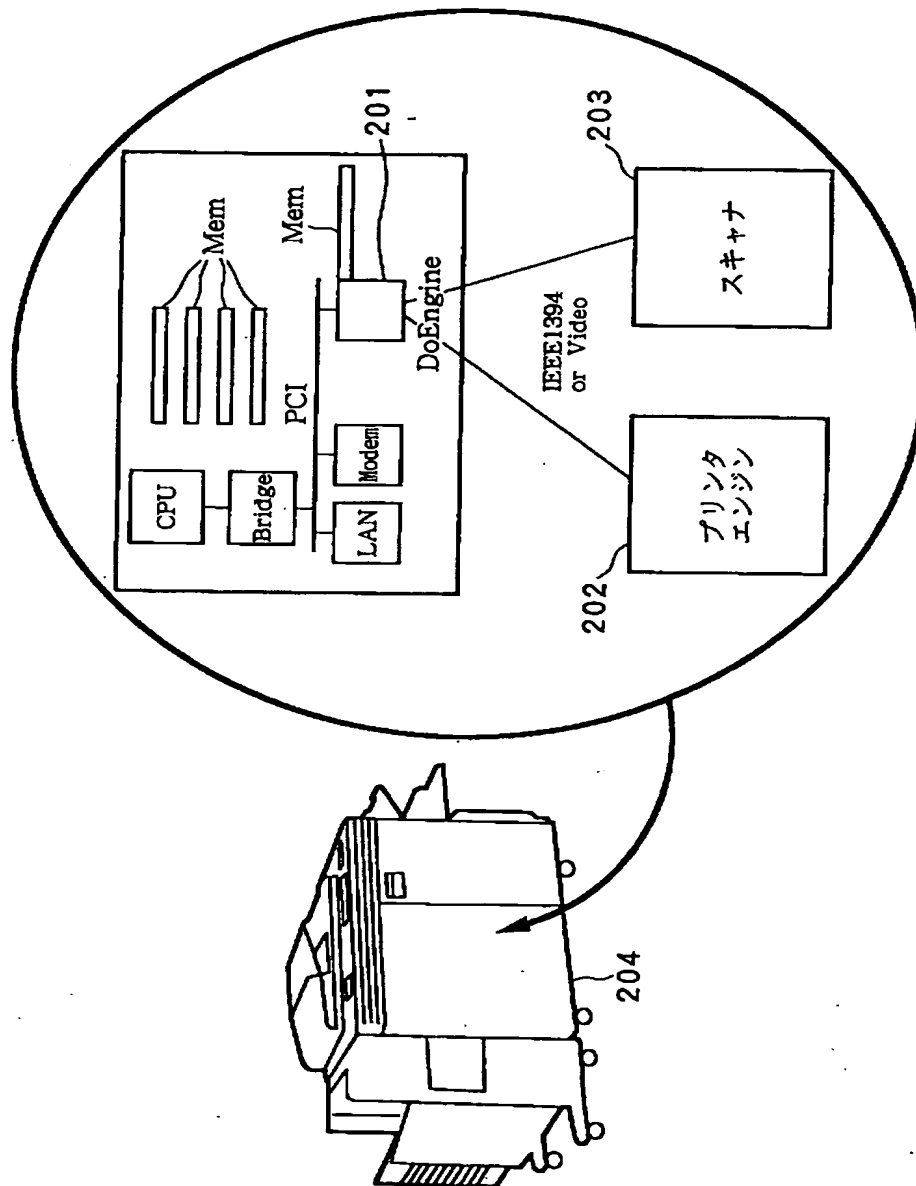
【書類名】 図面

【図 1】

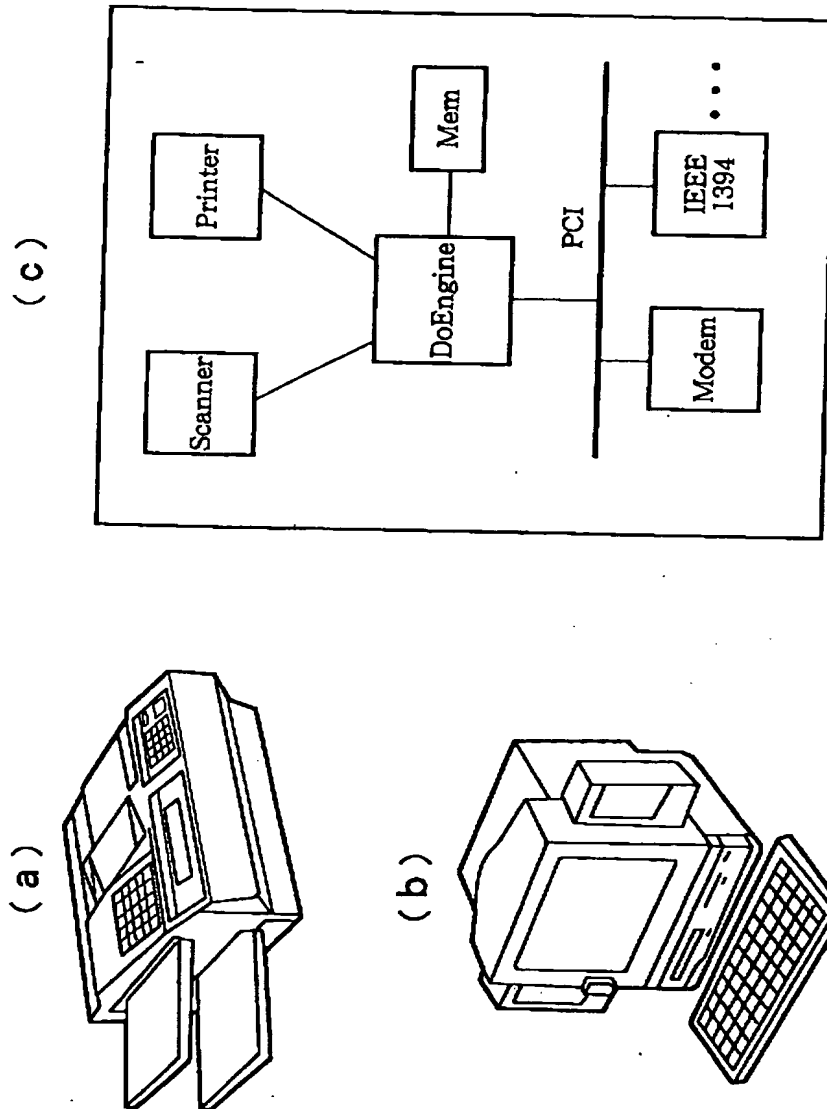




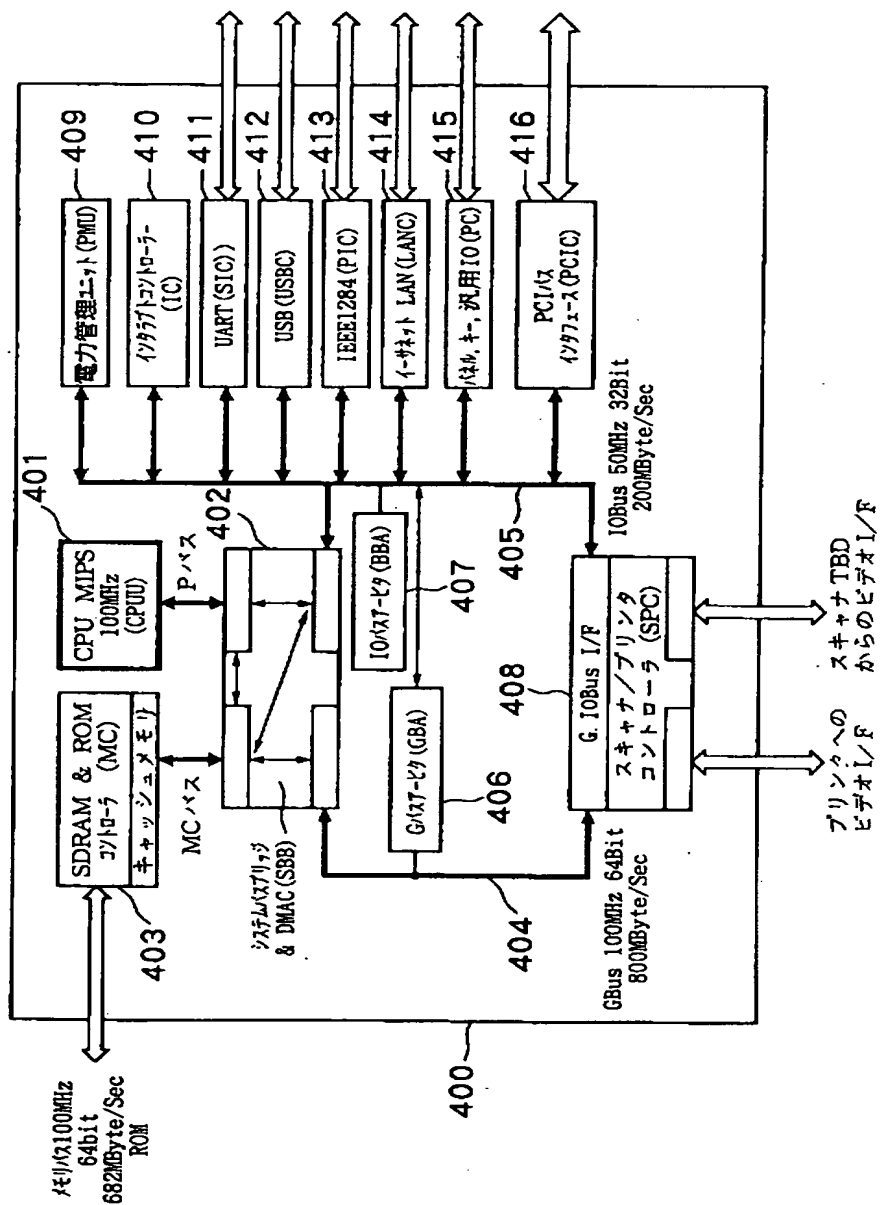
【図 2】



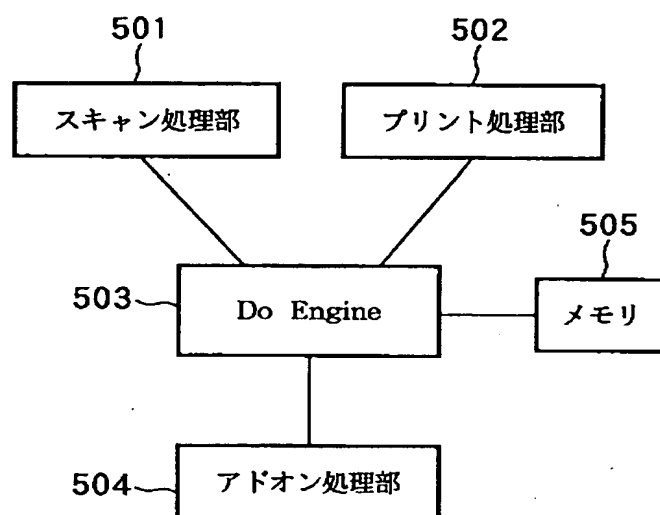
【図 3】



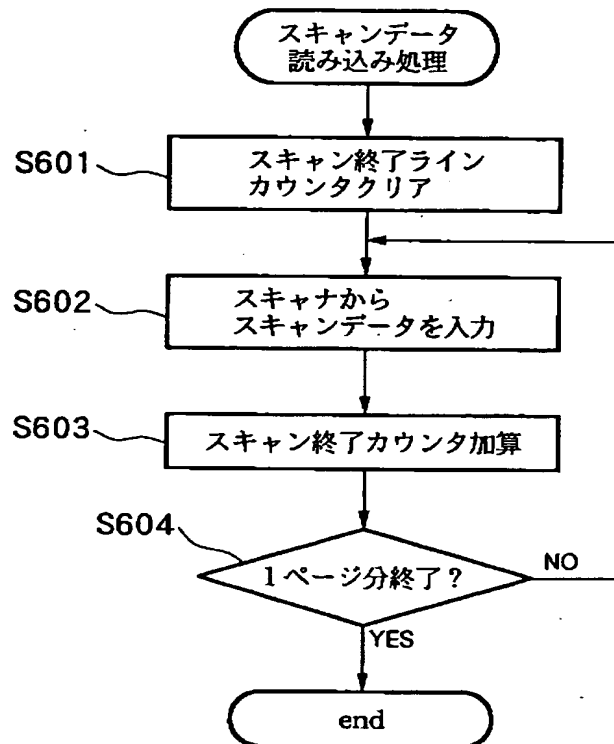
【図 4】



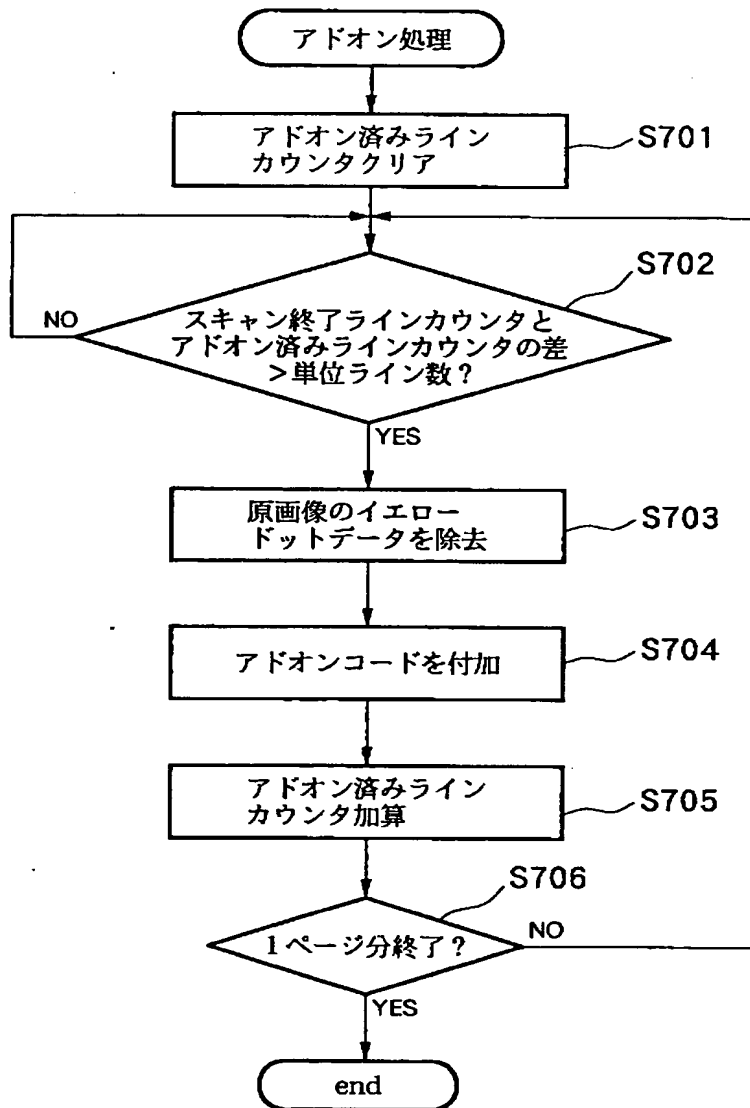
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 入力画像データに対して所定コードのアドオン処理を行う際に、該入力画像データをアドオン処理部へ渡すためのメモリと、該アドオン処理部からそれ以降の処理部へ渡すためのメモリは共有できなかった。

【解決手段】 スキャン処理部 5 0 1 で入力した画像データをメモリ 5 0 5 に格納し、該画像データに対して画像処理部 5 0 4 で所定のコードを付加する場合に、スキャン処理部 5 0 1 と画像処理部 5 0 4 によるメモリ 5 0 5 に対するアクセスを D o E n g i n e 5 0 3 が制御することによって、スキャン処理部 5 0 1 と画像処理部 5 0 4 における処理がほぼ同時に実行される。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社